

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-049858

(43)Date of publication of application : 18.02.1997

(51)Int.Cl. G01R 19/00

G05F 1/56

G05F 3/26

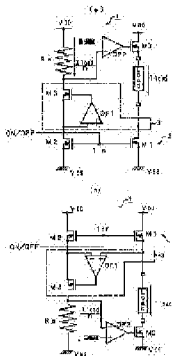
H01L 27/04

H01L 21/822

(21)Application number : 07-221116 (71)Applicant : NIPPON MOTOROLA LTD

(22)Date of filing : 07.08.1995 (72)Inventor : OKADA KOTARO
UCHIUMI SHUNICHI
YAMAMURA TETSUHISA

(54) CURRENT DETECTION AND CONTROL CIRCUIT AND PATTERN LAYOUT METHOD



(57)Abstract:

PROBLEM TO BE SOLVED: To detect and control a current with high accuracy without being affected by irregularity or layout patterns from an aspect of production by controlling the value of the current flowing to a current passage subjected to mirroring and the value of the current flowing to load on the basis of the difference signal with a predetermined objective value.

SOLUTION: A current regulating circuit is constituted of the operational amplifier (current detection signal output circuit) OP2 connected to a current passage L2 inputting an objective value to a positive terminal and subjected to mirroring at the negative terminal and the transistor (current control circuit) M0 connected across a high (low) potential power supply line and load and the value of the current flowing to the current passage L1 connected to the load is controlled by the output signal (the difference signal of the current value of a current passage L2 and the objective value) of the operational amplifier OP2. By this constitution, gate voltage sufficiently higher than threshold voltage can be supplied to the gate terminals of the transistors M1, M2 constituting a current mirror circuit 2 and, therefore, the effect of the irregularity of the threshold voltage generated in a production process or the effect of voltage drop between gate sources by layout patterns can be reduced.

LEGAL STATUS

[Date of request for examination] 20.06.2002

[Date of sending the examiner's decision of rejection] 06.04.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While passing a current for the load concerned by making into a closed state the switch formed in the both-ends location of a load, respectively The Miller circuit which carries out mirroring of the current which flows for said load by the ratio which is the current detection control circuit which detects the current value which flows for this load, and controls the amount of currents, and was beforehand set up including the switch of said load formed in one end on the other hand to other current paths, The armature-voltage control circuit which controls uniformly the electrical potential difference impressed to a current path, and the current path besides the above to which said load was connected, The current detecting-signal output circuit which detects the current which flows to a current path besides the above by which mirroring was carried out in said Miller circuit, and outputs the differential signal of the detected current value and predetermined desired value, The current detection control circuit characterized by having the current control circuit which controls the amount of currents which flows for said load based on the output signal by said current detecting-signal output circuit.

[Claim 2] While passing a current for the load concerned by making into a closed state the switch formed in the both-ends location of a load, respectively It is the current detection control circuit which detects the current value which flows for this load, and controls the amount of currents. The Miller circuit which carries out mirroring of the current which flows to the first current path which contains said load by the ratio set up beforehand including the switch of said load formed in one end on the other hand to the second current path, The armature-voltage control circuit which controls uniformly the electrical potential difference impressed to said first current path and said second current path, The current detecting-signal output circuit which detects the current which flows to a current path besides the above by which mirroring was carried out in said Miller circuit, and outputs the differential signal of the detected current value and predetermined desired value, The current which flows to the current control circuit which controls the amount of currents which flows for said load based on

the output signal by said current detecting-signal output circuit, and said second current path by two or more ratios set up beforehand The current detection control circuit characterized by having the multistage Miller circuit which carries out mirroring to two or more current paths corresponding to the ratio concerned, respectively, and the selection circuitry which chooses the current path of arbitration from two or more current paths by which mirroring was carried out in said multistage Miller circuit.

[Claim 3] While passing a current for the load concerned by making into switch-on the transistor prepared in the high potential power-source line side of a load, and the transistor prepared in the low voltage power-source line side of a load, respectively The transistor which is the current detection control circuit which detects the current value which flows for this load, and controls the amount of currents, and is connected to one end on the other hand at this load and the first common current path of said load, The transistor pair which comes to make common connection of the gate (or base) with the transistor which becomes a transistor and a pair concerned and is connected to the second current path is included. The Miller circuit which carries out mirroring of the current which flows to said first current path based on the size ratio of each transistor to said second current path, The armature-voltage control circuit controlled in order to compare the electrical potential difference impressed to said first current path and said second current path and to lose the difference electrical potential difference of these current paths, The current detecting-signal output circuit which detects the current which flows to said second current path by which mirroring was carried out in said Miller circuit, and outputs the differential signal of the detected current value and predetermined desired value, The transistor connected to another side one end of said load at this load and the first common current path is included. The current detection control circuit characterized by having the current control circuit which controls the amount of currents which impresses the output signal from said current detecting-signal output circuit to the gate (or base) of this transistor, and flows to said first current path.

[Claim 4] While being the pattern layout approach of two or more transistors which can be set to semi-conductor accumulation equipment and arranging two or more transistors between two power-source lines While each transistor is connected to juxtaposition so that the wiring resistance during the node of each transistor may become equal, and connecting any 1 edge of one power-source line to a pad the end of the

power-source line of another side corresponding to [connect the other end to the terminal of the last stage transistor, and] the end of one [said] power-source line -- the first rank -- the pattern layout approach characterized by connecting the other end to a pad while connecting with the terminal of a transistor.

[Claim 5] The pattern layout approach which is the pattern layout approach of two or more transistors which can be set to semi-conductor accumulation equipment, and is characterized by wiring two or more sets of equal power-source lines of wiring resistance from each pad to the terminal of each transistor, and carrying out parallel connection of said two or more transistors to the pad concerned while arranging two or more transistors between two pads.

[Claim 6] The transistor in said current detection control circuit according to claim 3 is a current detection control circuit characterized by being what realized by said pattern layout approach according to claim 4 or 5.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the field of the pattern layout approach of a current detection control circuit and two or more transistors.

[0002]

[Description of the Prior Art] As a circuit for detecting conventionally the current value which flows for a load, it can divide roughly and can divide into the circuit for detecting (1) overcurrent, and the circuit for controlling (2) load currents. when it is based also on the

specification on the system demanded in the case of the circuit for detecting an overcurrent, but the current which generally exceeds sharply the current value which should usually flow flows, there are many the cases do not become a problem in a comparatively low precision just from the ability even of decision whether the allowable-current value which is for not destroying the component itself and the equipment of the circumference of it, and was decided beforehand is exceeded to be able to perform, either . On the other hand, in the case of the circuit for controlling the load current, the current field changes with objects to control, but it is common that current value detection and current value control of a precision high from a minute current field to a high current field are required.

[0003] Drawing 7 is the circuit diagram showing an example of the current detection control circuit in the conventional example, and shows the important section circuit diagram of the semi-conductor accumulation equipment which detects the load current applied to intelligent type power MOS and IC (Metal Oxide Semiconductor and Integrated Circuit) in the state of no losing. In addition, the example to which drawing 7 (a) has arranged the load to the high potential power-source line side, and drawing 7 (b) show the example which has arranged the load to the low voltage power-source line side, and the configuration and operation are almost the same.

[0004] In drawing 7 , the current detection control circuit 1 consists of current Miller circuit 2, a feedback circuit 3, and sense resistance R_s . Current Miller circuit 2 consists of two the N-channel metal oxide semiconductor and FET(it is only called transistor Field Effect Transistor and the following) M1 which comes to make common connection of the gate terminal, and M2, and carries out mirroring of the load current I_{load} which flows to a transistor M1 to the current road side of a transistor M2 based on the size ratio ($n:1$) of a transistor M1 and a transistor M2. Moreover, the control voltage impressed to the gate terminal of transistors M1 and M2 from a driver in this case is a difference electrical potential difference of the sense resistance R_s and the node electrical potential difference of a transistor M3, and desired value, and turns into an electrical potential difference of the threshold voltage V_{th} neighborhood of transistors M1 and M2.

[0005] The operational amplifier OP1 with which a feedback circuit 3 connects each drain terminal of transistors M1 and M2 to an input terminal (a normal rotation input terminal and inversed input terminal), respectively, Connect the outgoing end from an operational amplifier OP1 to a gate terminal, and it consists of a transistor M3 by which the

series connection was carried out between the sense resistance R_s and a transistor M2. By controlling a transistor M3 (drawing 7 (a) an N-channel metal oxide semiconductor and FET, and drawing 7 (b) a P channel MOS and FET) based on the output signal of an operational amplifier OP1, the electrical potential difference V_{DS} between the drain-sources of transistors M1 and M2 is fixed-ized.

[0006] The operation is explained in the above configuration. The formula showing actuation of MOS-FET W and channel length for channel width L , If V_{GS} and threshold voltage are set to V_{th} and a structure factor is set [I_{DS} and the electrical potential difference between the drain-sources] to β (the dielectric constant of an insulator and d are [$=\mu_e \epsilon / d$ and μ_e] the thickness of an insulator for mobility and ϵ) for V_{DS} and the electrical potential difference between the gate-sources, the drain-source current I_n in a saturation region, it is $I_{DS} = (\beta/2) (W/L) (V_{GS} - V_{th})^2$. It is expressed and, on the other hand, is expressed with $I_{DS} = \beta (W/L) \{ (V_{GS} - V_{th})V_{DS} - (V_{DS}^2 / 2) \}$ in a straight-line field.

[0007] Generally, although current Miller circuit is used in a saturation region (electrical-potential-difference field where the gate voltage impressed to transistors M1 and M2 is far higher than threshold voltage) in order to suppress the effect by the electrical potential difference V_{DS} between the drain-sources of a transistor, in order to design small the on resistance of transistors M1 and M2, it is operating the transistor by the above-mentioned example in the straight-line field (the gate voltage impressed to transistors M1 and M2 is the electrical-potential-difference field of the threshold voltage neighborhood). Then, highly precise current control can be performed by impressing the gate voltage for current control to each gate terminal of transistors M1 and M2, suppressing the effect of the electrical potential difference V_{DS} between the drain-sources at the time of operating a transistor in a straight-line field by always making equal the electrical potential difference V_{DS} between the drain-sources of transistors M1 and M2 by the feedback circuit 3.

[0008]

[Problem(s) to be Solved by the Invention] However, if it was in such a conventional current detection control circuit, there was a trouble that variation arose for current detection precision according to the factor mentioned later. That is, although the detection precision in the conventional technique was based also on the magnitude of the flowing current, when the worst, it had thing detection variation about ± 10 to 15%. As a factor of this detection variation, the effect by the

variation on manufactures (for example, threshold voltage V_{th} etc.) of various parameters which the semiconductor device itself, such as a transistor, has, the effect of the layout pattern inside IC chip, the effect by the circuit-technique, etc. can be considered.

[0009] Drawing 8 is drawing showing the pattern layout of general power metal-oxide semiconductor field effect transistor, and drawing 9 is the representative circuit schematic of the power metal-oxide semiconductor field effect transistor in drawing 8. Usually, since a big current flows to power metal-oxide semiconductor field effect transistor, the layout pattern needs a big area as shown in drawing 8. And although parallel connection of two or more transistor cells MC will be arranged and carried out between the signal lines wired from the pad (a drain and source) which is an input/output terminal as shown in drawing 9, what is arranged inevitably in the location near a pad, and the thing arranged in a location distant from a pad come out of the transistor cell MC arranged in this case.

[0010] Then, since a voltage drop produces the transistor cell MC arranged in the location distant from a pad by wiring resistance R_{wxm} based on the wire length, source potential rises and the phenomenon in which drain potential falls may happen. In this case, if the electrical potential difference VGS between the gate-sources is less than threshold voltage V_{th} , the transistor cell which carries out a turn-off will come out, and the right current mirror based on the cell ratio of the transistor set up at the time of a design will no longer be performed.

[0011] Furthermore, since the threshold voltage V_{th} of a transistor has a certain variation range, when controlling the electrical potential difference VGS between the gate-sources by between the inside of the same field, or a product near threshold voltage V_{th} , it is the cause which causes the precision fall of current Miller circuit 2 under the effect of the variation in the threshold voltage V_{th} from the manufacture variation. When it is going to control a current with high precision, naturally the high control precision by the current control circuit is required, but if the detection precision of the current value which flows to a controlled system is low, even if a current control circuit is highly efficient, highly precise current control cannot be desired.

[0012] The technical problem of this invention is to offer the possible current detection control circuit and the pattern layout approach of highly precise current detection and current control, without canceling the above-mentioned trouble and being influenced by the variation and the layout pattern on manufacture.

[0013]

[Means for Solving the Problem] While a current detection control circuit according to claim 1 passes a current for the load concerned by making into a closed state the switch formed in the both-ends location of a load, respectively The Miller circuit which carries out mirroring of the current which flows for said load by the ratio which is the current detection control circuit which detects the current value which flows for this load, and controls the amount of currents, and was beforehand set up including the switch of said load formed in one end on the other hand to other current paths, The armature-voltage control circuit which controls uniformly the electrical potential difference impressed to a current path, and the current path besides the above to which said load was connected, The current detecting-signal output circuit which detects the current which flows to a current path besides the above by which mirroring was carried out in said Miller circuit, and outputs the differential signal of the detected current value and predetermined desired value, It constitutes so that it may have the current control circuit which controls the amount of currents which flows for said load based on the output signal by said current detecting-signal output circuit.

[0014] And while a current detector according to claim 2 passes a current for the load concerned by making into a closed state the switch formed in the both-ends location of a load, respectively It is the current detection control circuit which detects the current value which flows for this load, and controls the amount of currents. The Miller circuit which carries out mirroring of the current which flows to the first current path which contains said load by the ratio set up beforehand including the switch of said load formed in one end on the other hand to the second current path, The armature-voltage control circuit which controls uniformly the electrical potential difference impressed to said first current path and said second current path, The current detecting-signal output circuit which detects the current which flows to a current path besides the above by which mirroring was carried out in said Miller circuit, and outputs the differential signal of the detected current value and predetermined desired value, The current which flows to the current control circuit which controls the amount of currents which flows for said load based on the output signal by said current detecting-signal output circuit, and said second current path by two or more ratios set up beforehand It constitutes so that it may have the multistage Miller circuit which carries out mirroring to two or more current paths corresponding to the ratio concerned, respectively, and

the selection circuitry which chooses the current path of arbitration from two or more current paths by which mirroring was carried out in said multistage Miller circuit.

[0015] Moreover, while a current detector according to claim 3 passes a current for the load concerned by making into switch-on the transistor prepared in the high potential power-source line side of a load, and the transistor prepared in the low voltage power-source line side of a load, respectively The transistor which is the current detection control circuit which detects the current value which flows for this load, and controls the amount of currents, and is connected to one end on the other hand at this load and the first common current path of said load, The transistor pair which comes to make common connection of the gate (or base) with the transistor which becomes a transistor and a pair concerned and is connected to the second current path is included. The Miller circuit which carries out mirroring of the current which flows to said first current path based on the size ratio of each transistor to said second current path, The armature-voltage control circuit controlled in order to compare the electrical potential difference impressed to said first current path and said second current path and to lose the difference electrical potential difference of these current paths, The current detecting-signal output circuit which detects the current which flows to said second current path by which mirroring was carried out in said Miller circuit, and outputs the differential signal of the detected current value and predetermined desired value, The transistor connected to another side one end of said load at this load and the first common current path is included. The output signal from said current detecting-signal output circuit is impressed to the gate (or base) of this transistor, and it constitutes so that it may have the current control circuit which controls the amount of currents which flows to said first current path.

[0016] By the pattern layout approach according to claim 4 While being the pattern layout approach of two or more transistors which can be set to semi-conductor accumulation equipment and arranging two or more transistors between two power-source lines While each transistor is connected to juxtaposition so that the wiring resistance during the node of each transistor may become equal, and connecting any 1 edge of one power-source line to a pad the end of the power-source line of another side corresponding to [connect the other end to the terminal of the last stage transistor, and] the end of one [said] power-source line - - the first rank -- the other end is connected to a pad while connecting with the terminal of a transistor.

[0017] Moreover, by the pattern layout approach according to claim 5, it is the pattern layout approach of two or more transistors which can be set to semi-conductor accumulation equipment, and while arranging two or more transistors between two pads, two or more sets of equal power-source lines of wiring resistance are wired from each pad to the terminal of each transistor, and parallel connection of said two or more transistors is carried out to the pad concerned.

[0018] And the current detection control circuit according to claim 6 is constituted so that the transistor realized to said current detection control circuit according to claim 3 by said pattern layout approach according to claim 4 or 5 may be used.

[0019]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of the invention in this application is explained based on a drawing. Drawing 1 is the circuit diagram showing an example of the current detection control circuit of this invention, and shows the important section circuit diagram of the semi-conductor accumulation equipment which detects the load current applied to intelligent type power MOS and IC in the state of no losing like the conventional example shown in drawing 7. In addition, the same sign is given to the element [with the drawing 1 (a) same / the example and drawing 1 (b) which have arranged the load to the high potential power-source line side corresponding to drawing 7 (a)] part as the conventional example which shows the example which has arranged the load to the low voltage power-source line side corresponding to drawing 7 (b), and is shown in drawing 7 in drawing 1.

[0020] In drawing 1, the current detection control circuit 1 of this invention is divided roughly, it consists of the current control circuits 4 and the sense resistance R_s which have the function of current Miller circuit 2 which is Miller circuit, the feedback circuit 3 which is an armature-voltage control circuit, a current detecting-signal output circuit, and a current control circuit, and each transistors M_0 - M_3 are acting as an electronic switch. Current Miller circuit 2 consists of two transistors M_1 and M_2 which come to make common connection of the gate terminal, and carries out mirroring of the load current I_{load} which flows to the first current path L_1 to the second current path L_2 side as I_{load}/n based on the size ratio of $n:1$ of a transistor M_1 and a transistor M_2 . n in this case is arbitrary, for example, values, such as $n=500$ and $n=1000$, are used.

[0021] A feedback circuit 3 consists of an operational amplifier OP_1 and a transistor M_3 , and fixed-izes the electrical potential difference V_{DS} between the drain-sources of transistors M_1 and M_2 by controlling a

transistor M3 based on the output signal of an operational amplifier OP1. The operational amplifier OP2 (current detecting-signal output circuit) which the current control circuit 4 inputs the desired value used as a reference into a normal rotation input terminal, and connects an inversed input terminal at the node of the transistor M2 in the second current path L2, and a transistor M3, The outgoing end from an operational amplifier OP2 is connected to a gate terminal, and it is a high potential power-source line (). Or it consists of a transistor M0 (current control circuit) by which the series connection was carried out between the low voltage power-source line and the load, and the amount of currents which flows to the first current path L1 is controlled by controlling a transistor M0 by the straight-line field based on the output signal of an operational amplifier OP2.

[0022] Next, an operation of the above-mentioned implementation gestalt is explained. As an approach of controlling the load current based on the detected current, as shown in the conventional example (refer to drawing 7), the control approach is common in the current IDS which the gate voltage of the power metal-oxide semiconductor field effect transistor which is a current driver is changed, and flows between the drain-source. Although the amount of currents is controlled by the conventional example by changing the gate voltage of the transistors M1 and M2 which have detected the current, the electrical potential difference VGS between the gate-sources of the transistors M1 and M2 at this time is operated near threshold voltage V_{th} of the transistor in a straight-line field on the actuation which performs current control.

[0023] That and the gate voltage impressed to the transistors M1 and M2 which constitute a current mirror is near threshold voltage V_{th} The artificers who thought that the precision of current Miller circuit 2 was influenced To the gate terminal of the transistors M1 and M2 which constitute a current mirror Effect by the variation in the threshold voltage V_{th} produced according to a manufacture process is made hard to be influenced by supplying gate voltage higher enough than threshold voltage V_{th} . Moreover, effect of a fall of the electrical potential difference VGS between the gate-sources by the rise of the source potential depending on a layout pattern and the fall of drain potential is lessened.

[0024] By carrying out by driving the transistor M0 which specifically became independent about the duty of the current control which was being performed in current Miller circuit 2, conventionally in a current detection side Only an on-off action is controlled and threshold voltage V_{th} is received at the time of an ON state. Sufficiently high gate

voltage (— for example, the threshold voltage V_{th} of a transistor — about 1.5 — the case where it is referred to as V — the electrical potential difference V_{GS} between the gate-sources of the power metal-oxide semiconductor field effect transistor by the side of current detection — about 15 — it is made to perform current detection by impressing setting) about to V . In this case, by the high potential power-source line side, as shown in drawing 1 (a) and (b), which of the current detection side transistor M1 and the current control side transistor M0 can acquire the same effectiveness, even if which is a low voltage power-source line side.

[0025] As explained above, in this operation gestalt, the amount of currents which flows for a load can be detected in a high precision, without being influenced by the variation in the threshold voltage V_{th} generated on manufacture of a transistor.

[0026] Drawing 2 is the circuit diagram showing other examples of the current detection control circuit of this invention. In addition, the same sign is given to the element [with the drawing 2 (a) same / the example which has arranged the load to the high potential power-source line side, and drawing 2 (b)] part as the operation gestalt which shows the example which has arranged the load to the low voltage power-source line side, and is shown in drawing 1 in drawing 2 . In the current detection control circuit 1 in this operation gestalt, to the operation gestalt (refer to drawing 1) mentioned above, two or more current paths L3 by which mirroring was carried out to further two or more current paths L3 and — in the current which flows to the second current path L2 in multistage current Miller circuit (multistage Miller circuit) 5 which carries out mirroring, and multistage current Miller circuit 5, and the current path L3 of inside to arbitration and the selection circuitry 6 which chooses — of — are added, and it prepares.

[0027] Multistage current Miller circuit 5 allots P channel MOS transistor M4 to the location where the sense resistance R_s in drawing 1 is arranged, and consists of three transistors M4, M5, and M6 which come to make common connection of the gate terminal. That is, while a transistor M4 is arranged at the second current path L2, the transistor M5 is arranged at the third current path L3. And based on the size ratio of $m:1$ of a transistor M4 and a transistor M5, mirroring of current I_{load}/n which flows to the second current path L2 is carried out to the third current path L3 side as $I_{load}/(n \times m)$. A selection circuitry 6 consists of the transfer gate TG 1 and an inverter I1, and performs on-off control of the transfer gate TG 1 based on a gain control signal. Although the amount of currents which flows to the second current path

L2 by the size ratio of $n:1$ set as transistors M1 and M2 is set up with the above-mentioned operation gestalt, for an actual application, the feedback gain at the time of current control may be changed, and it may use, and when such, modification of the size ratio of transistors M1 and M2 is needed with the above-mentioned operation gestalt.

[0028] If it controls by this operation gestalt to make the transfer gate TG 1 turn off by performing on-off control of the transfer gate TG 1 with a gate control signal, since only a transistor M5 will become effective, If it controls to make the transfer gate TG 1 turn on, since current $I_{load}/(n \times m)$ flows to the third current path L3 based on the size ratio of transistors M4 and M5, and both the transistors M5 and M6 will become effective on the other hand, For example, supposing the total cell size of transistors M5 and M6 is 3 times the cell size of only a transistor M5, mirroring of the current will be carried out by the mirror ratio of $M6/M5:M4=1:(m/3)$. That is, the electrical potential difference which appears in a sense resistance R_s edge becomes large, and since the current which flows to the sense resistance R_s increases 3 times as compared with the case of OFF when the transfer gate TG 1 is ON even if the current I_{load} which flows for a load is the same, the operational amplifier OP2 which is comparing with desired value operates so that the electrical potential difference and the desired value which extracts the output voltage and appears in a sense resistance R_s edge as $I_{load}/3$ may become equal.

[0029] Therefore, in this example, since gain over the load current can be set to one third by ON/OFF actuation of the transfer gate TG 1, with this operation gestalt, it can add to the same operation as the above-mentioned operation gestalt, and the feedback gain at the time of current control can be changed to some extent into arbitration. In addition, while it increases this mirroring number of stages further, you may make it choose desired feedback gain from further two or more feedback gain by adding that selection circuitry 6 with the above-mentioned operation gestalt, although multistage current Miller circuit 5 is carrying out mirroring for the current which flows to the second current path L2 to the third current path L3. This invention can be applied above, when controlling the three phase spindle motor for hard disks, a voice coil motor, or the forward inversion motor incorporated all over H bridge circuit. When using H bridge circuit, current detection and two control systems are used, and when controlling a three phase motor, the circuit of drawing 1 is used by the three phase.

[0030] Drawing 3 is drawing showing the example of a layout pattern of this invention, and drawing 4 is the representative circuit schematic of

drawing 3 . By the layout pattern shown in drawing 3 and drawing 4 Two power-source lines LH and LL While arranging two or more transistor cels MC in between Each transistor cel MC is connected to juxtaposition so that each wiring resistance R_w during the node of each transistor cel MC may become equal, respectively, and it is the power-source line LH. While connecting an end (the inside of drawing 4 , left end side) to a pad (drain pad) the other end (the inside of drawing 4 , right end side) -- the drain terminal of the last stage transistor cel -- connecting -- power-source line LL an end (the inside of drawing 4 , left end side) -- the first rank -- while connecting with the source terminal of a transistor cel, the other end (the inside of drawing 4 , right end side) is connected to a pad (source pad).

[0031] Namely, although source potential rose and the phenomenon in which drain potential fell had happened in the conventional example shown in drawing 8 and drawing 9 since a voltage drop produced the transistor cel MC arranged in the location distant from a pad by wiring resistance R_{wxm} based on the wire length The transistor cel MC arranged by forming a gate pad in the opposite side with this operation gestalt in the location distant from a pad in view of a drain pad side Since source potential is also falling with the fall of drain potential, the electrical potential difference V_{DS} between the drain sources is maintainable to constant value. When it seems that the electrical potential difference V_{DS} between the drain sources is improved only by the pattern layout of a transistor by this, and a transistor is especially operated in a straight-line field like drawing 1 and drawing 2 by it, the effectiveness which raises current detection precision is done so.

[0032] Drawing 5 is drawing showing other examples of a layout pattern of this invention, and drawing 6 is the representative circuit schematic of drawing 5 . By the layout pattern shown in drawing 5 and drawing 6 , while arranging two or more transistor cels MC between two pads, two or more sets of equal power-source lines of the wiring resistance R_w are wired from each pad to the terminal of each transistor cel MC, and parallel connection of said two or more transistor cels MC is carried out to the pad concerned.

[0033] That is, in the example shown in above-mentioned drawing 3 and above-mentioned drawing 4 , although the electrical potential difference V_{DS} between the drain sources is maintainable to constant value, that a voltage drop arises by wiring resistance R_{wxm} based on the wire length cannot avoid the transistor cel MC arranged in the location distant from a pad. So, by this example, under the conditions of setting altogether

the wiring resistance R_w of each transistor cel MC as the same value, all the transistor cels MC are connected to juxtaposition to a pad, respectively, and the fall of potential is lost theoretically.

[0034] In an actual pattern layout, since it is impossible to wire all, as two or more transistor cels MC are shown in drawing 5, the arrangement field of the transistor cel MC is divided into the field of plurality (4 [in this case]), and it connects with the signal line into which wiring width of face was changed so that the wiring resistance R_w to each field might become equal. Also when the fall of a drain electrical potential difference and a source electrical potential difference, i.e., the fall of the electrical potential difference V_{GS} between the gate-sources by the wiring resistance R_w , can be suppressed and it operates a transistor near threshold voltage V_{th} by this, generating of the transistor cel MC to which the electrical potential difference V_{GS} between the gate-sources is less than it, and carries out the turn-off of the threshold voltage V_{th} can be suppressed. And when it applies to current Miller circuit like drawing 1 and drawing 2 especially, the right current mirror based on the cel ratio of the transistor set up at the time of a design can be performed, and current detection highly precise than before can be performed.

[0035]

[Effect of the Invention] In this invention, highly precise current detection and current control can be performed, without being influenced by the variation and the layout pattern on manufacture of a semiconductor device.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing an example of the current detection control circuit of this invention.

[Drawing 2] The circuit diagram showing other examples of the current detection control circuit of this invention.

[Drawing 3] Drawing showing an example of the pattern layout of this invention.

[Drawing 4] The representative circuit schematic of drawing 3 .

[Drawing 5] Drawing showing other examples of the pattern layout of this invention.

[Drawing 6] The representative circuit schematic of drawing 5 .

[Drawing 7] The circuit diagram showing an example of the current detection control circuit of the conventional example.

[Drawing 8] Drawing showing an example of the conventional pattern layout.

[Drawing 9] The representative circuit schematic of drawing 8 .

[Description of Notations]

1 Current Detection Control Circuit

2 Current Miller Circuit (Miller Circuit for Current Detection)

3 Feedback Circuit (Armature-voltage Control Circuit)

4 Current Control Circuit

5 Multistage Current Miller Circuit (Multistage Miller Circuit)

6 Selection Circuitry

M1, M2 An N-channel metal oxide semiconductor and FET

M3 MOS and FET

M4 A P channel MOS and FET

M5, M6 MOS and FET

M0 An N-channel metal oxide semiconductor and FET (current control circuit)

Rs Sense resistance

OP1 Operational amplifier

OP2 Operational amplifier (current detecting-signal output circuit)

TG1 Transfer gate

I1 Inverter

[Translation done.]

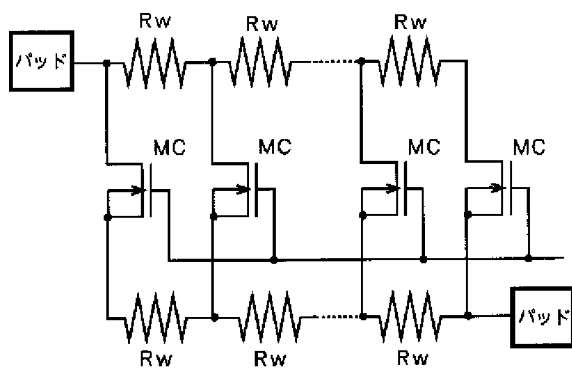
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

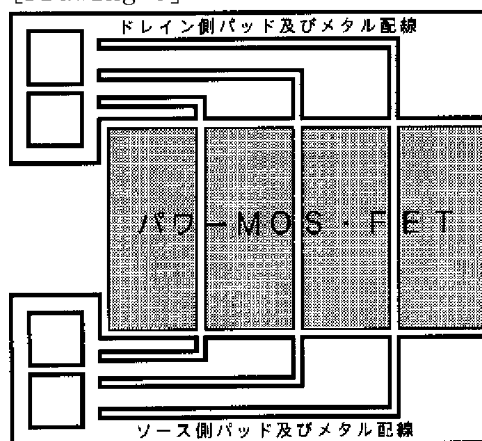
- ## DRAWINGS

[illegible]

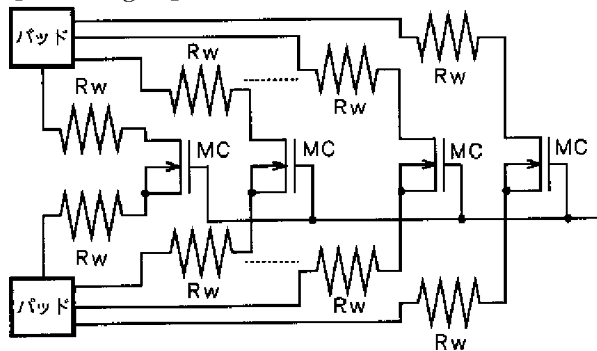
[Drawing 2]



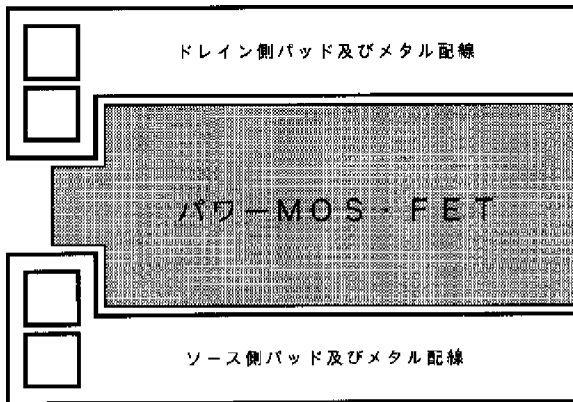
[Drawing 5]



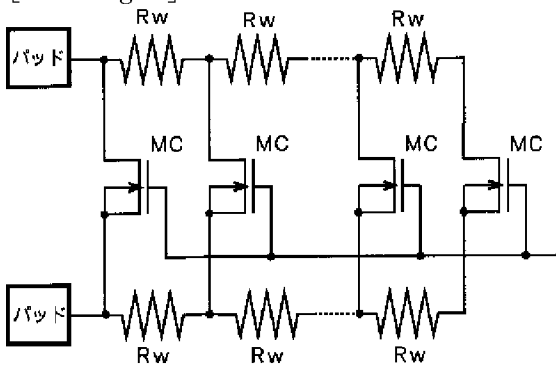
[Drawing 6]



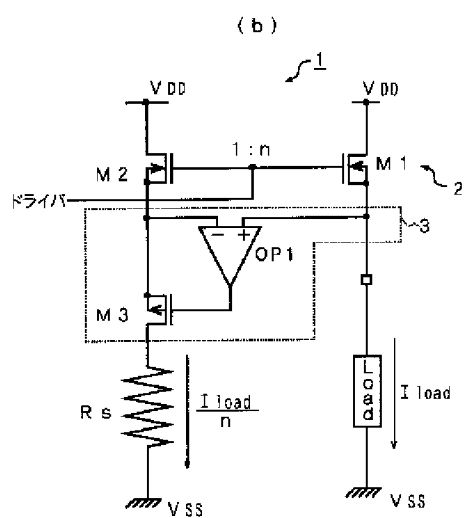
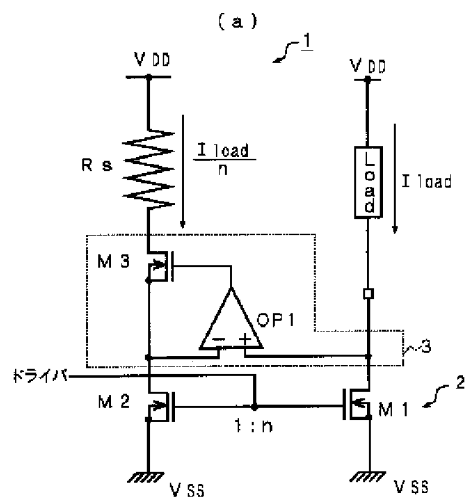
[Drawing 8]



[Drawing 9]



[Drawing 7]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-49858

(43)公開日 平成9年(1997)2月18日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 1 R 19/00			G 0 1 R 19/00	B
G 0 5 F 1/56	3 1 0		G 0 5 F 1/56	3 1 0 S
	3/26	4237-5H	3/26	
H 0 1 L 27/04			H 0 1 L 27/04	D
21/822				

審査請求 未請求 請求項の数6 F D (全 9 頁)

(21)出願番号 特願平7-221116

(22)出願日 平成7年(1995)8月7日

(71)出願人 000230308

日本モトローラ株式会社
東京都港区南麻布3丁目20番1号

(72)発明者 岡田 耕太郎

東京都港区南麻布3丁目20番1号 日本モ
トローラ株式会社内

(72)発明者 内海 俊一

東京都港区南麻布3丁目20番1号 日本モ
トローラ株式会社内

(72)発明者 山村 哲久

東京都港区南麻布3丁目20番1号 日本モ
トローラ株式会社内

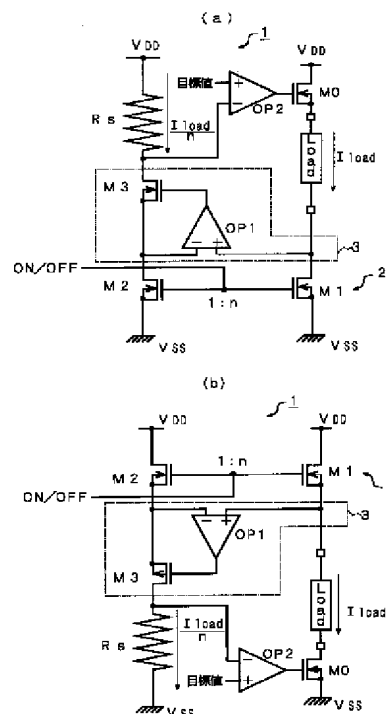
(74)代理人 弁理士 井上 俊夫

(54)【発明の名称】 電流検出制御回路及びパターンレイアウト方法

(57)【要約】

【課題】 製造上のバラツキやレイアウトパターンに影響されことなく、高精度の電流検出及び電流制御の可能な電流検出制御回路を提供すること。

【解決手段】 負荷の両端位置に設けられたスイッチM0、M1をそれぞれ閉状態として当該負荷に電流を流すとともに、該負荷に流れる電流値を検出して電流量を制御する電流検出制御回路1であって、前記負荷の一方端側に設けられたスイッチM1を含み、予め設定された比率で前記負荷に流れる電流を他の電流路L2にミラーリングするミラー回路2と、前記負荷が接続された電流路L1と前記他の電流路L2とに印加される電圧を一定に制御する電圧制御回路3と、第二電流路L2に流れる電流値と所定の目標値との差分信号を第一電流路L1に接続されるトランジスタM0のゲートに印加し、第一電流路L1に流れる電流量を制御する電流調節回路4とを備えるように構成する。



【特許請求の範囲】

【請求項1】負荷の両端位置に設けられたスイッチをそれぞれ閉状態として当該負荷に電流を流すとともに、該負荷に流れる電流値を検出して電流量を制御する電流検出制御回路であって、

前記負荷の一方端側に設けられたスイッチを含み、予め設定された比率で前記負荷に流れる電流を他の電流路にミラーリングするミラー回路と、

前記負荷が接続された電流路と前記他の電流路とに印加される電圧を一定に制御する電圧制御回路と、

前記ミラー回路によりミラーリングされた前記他の電流路に流れる電流を検出し、検出された電流値と所定の目標値との差分信号を出力する電流検出信号出力回路と、前記電流検出信号出力回路による出力信号に基づいて前記負荷に流れる電流量を制御する電流制御回路と、を備えることを特徴とする電流検出制御回路。

【請求項2】負荷の両端位置に設けられたスイッチをそれぞれ閉状態として当該負荷に電流を流すとともに、該負荷に流れる電流値を検出して電流量を制御する電流検出制御回路であって、

前記負荷の一方端側に設けられたスイッチを含み、予め設定された比率で前記負荷を含む第一電流路に流れる電流を第二電流路にミラーリングするミラー回路と、

前記第一電流路と前記第二電流路とに印加される電圧を一定に制御する電圧制御回路と、

前記ミラー回路によりミラーリングされた前記他の電流路に流れる電流を検出し、検出された電流値と所定の目標値との差分信号を出力する電流検出信号出力回路と、前記電流検出信号出力回路による出力信号に基づいて前記負荷に流れる電流量を制御する電流制御回路と、

前記第二電流路に流れる電流を予め設定された複数の比率で、当該比率に対応する複数の電流路にそれぞれミラーリングする多段ミラー回路と、

前記多段ミラー回路によりミラーリングされた複数の電流路から任意の電流路を選択する選択回路と、を備えることを特徴とする電流検出制御回路。

【請求項3】負荷の高電位電源線側に設けられたトランジスタと、負荷の低電位電源線側に設けられたトランジスタとをそれぞれ導通状態とすることにより、当該負荷に電流を流すとともに、該負荷に流れる電流値を検出して電流量を制御する電流検出制御回路であって、

前記負荷の一方端側に該負荷と共通の第一電流路に接続されるトランジスタと、当該トランジスタと対になって第二電流路に接続されるトランジスタとのゲート（あるいはベース）を共通接続してなるトランジスタ対を含み、各トランジスタのサイズ比に基づいて前記第一電流路に流れる電流を前記第二電流路にミラーリングするミラー回路と、

前記第一電流路と前記第二電流路とに印加される電圧を比較し、これらの電流路の差電圧をなくすべく制御する

電圧制御回路と、

前記ミラー回路によりミラーリングされた前記第二電流路に流れる電流を検出し、検出された電流値と所定の目標値との差分信号を出力する電流検出信号出力回路と、前記負荷の他方端側に該負荷と共通の第一電流路に接続されるトランジスタを含み、該トランジスタのゲート

（あるいはベース）に前記電流検出信号出力回路からの出力信号を印加し、前記第一電流路に流れる電流量を制御する電流制御回路と、

を備えることを特徴とする電流検出制御回路。

【請求項4】半導体集積装置における複数のトランジスタのパターンレイアウト方法であって、

2本の電源線間に複数のトランジスタを配設するとともに、各トランジスタの接続点間の配線抵抗が等しくなるように各トランジスタを並列に接続し、

一方の電源線のいずれか一端をパッドに接続するとともに、他端を最終段トランジスタの端子に接続し、

前記一方の電源線の一端に対応する他方の電源線の一端を初段トランジスタの端子に接続するとともに、他端をパッドに接続することを特徴とするパターンレイアウト方法。

【請求項5】半導体集積装置における複数のトランジスタのパターンレイアウト方法であって、

2つのパッド間に複数のトランジスタを配設するとともに、各パッドから各トランジスタの端子に対して配線抵抗の等しい複数の電源線を配線し、当該パッドに対して前記複数のトランジスタを並列接続することを特徴とするパターンレイアウト方法。

【請求項6】前記請求項3記載の電流検出制御回路におけるトランジスタは、前記請求項4または請求項5記載のパターンレイアウト方法により実現されるものであることを特徴とする電流検出制御回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、電流検出制御回路及び複数トランジスタのパターンレイアウト方法の分野に関する。

【0002】

【従来の技術】従来、負荷に流れる電流値を検出するための回路としては、大別して、（1）過電流を検出するための回路と、（2）負荷電流を制御するための回路とに分けることができる。過電流を検出するための回路の場合、要求されるシステム上の仕様にもよるが、一般には、通常流れるべき電流値を大幅に越える電流が流れた場合に、素子そのものやその周辺の装置を破壊しないようにするためのものであり、予め決められた許容電流値を越えるか否かの判断さえできればよいことから、比較的低い精度でも問題とはならない場合が多い。一方、負荷電流を制御するための回路の場合、制御する対象によってその電流領域は異なるが、微小電流領域から大電流

領域まで高い精度の電流値検出及び電流値制御を要求されるのが一般的である。

【0003】図7は、従来例における電流検出制御回路の一例を示す回路図であり、インテリジェントタイプのパワーMOS・IC (Metal Oxide Semiconductor・Integrated Circuit) に適用された負荷電流を無損失状態で検出する半導体集積装置の要部回路図を示す。なお、図7(a)は、高電位電源線側に負荷を配置した例、図7(b)は、低電位電源線側に負荷を配置した例を示し、その構成及び作用はほぼ同一である。

【0004】図7において、電流検出制御回路1は、カレントミラー回路2、フィードバック回路3、センス抵抗 R_s から構成されている。カレントミラー回路2は、ゲート端子を共通接続してなる2個のNチャネルMOS・FET (Field Effect Transistor, 以下、単にトランジスタという) M1, M2からなり、トランジスタM1に流れる負荷電流 I_{load} を、トランジスタM1とトランジスタM2とのサイズ比($n:1$)に基づいてトランジスタM2の電流路側にミラーリングするものである。また、この場合、ドライバからトランジスタM1, M2のゲート端子に印加される制御電圧は、センス抵抗 R_s 及びトランジスタM3の接続点電圧と目標値との差電圧であり、トランジスタM1, M2の閾電圧 V_{th} 近辺の電圧となる。

【0005】フィードバック回路3は、トランジスタM1, M2の各ドレイン端子をそれぞれ入力端子(正転入力端子及び反転入力端子)に接続するオペアンプOP1と、オペアンプOP1からの出力端をゲート端子に接続し、センス抵抗 R_s 及びトランジスタM2の間に直列接続されたトランジスタM3とからなり、オペアンプOP1の出力信号に基づいてトランジスタM3(図7(a)ではNチャネルMOS・FET、図7(b)ではPチャネルMOS・FET)を制御することにより、トランジスタM1, M2のドレイン-ソース間電圧 V_{DS} を一定化するものである。

【0006】以上の構成において、その作用を説明する。MOS・FETの動作を示す式は、チャネル幅を W 、チャネル長を L 、ドレイン-ソース電流を I_{DS} 、ドレイン-ソース間電圧を V_{DS} 、ゲート-ソース間電圧を V_{GS} 、閾電圧を V_{th} 、構造係数を $\beta (= \mu e \epsilon / d, \mu$ は移動度、 ϵ は絶縁体の誘電率、 d は絶縁体の厚さ)とすると、飽和領域では、 $I_{DS} = (\beta / 2) (W / L) (V_{GS} - V_{th})^2$ で表され、一方、直線領域では、 $I_{DS} = \beta (W / L) \{ (V_{GS} - V_{th}) V_{DS} - (V_{DS}^2 / 2) \}$ で表される。

【0007】一般にカレントミラー回路は、トランジスタのドレイン-ソース間電圧 V_{DS} による影響を抑えるために飽和領域(トランジスタM1, M2に印加するゲート電圧は閾電圧よりもはるかに高い電圧領域)で使用するが、上記例では、トランジスタM1, M2のオン抵抗

を小さく設計するためにトランジスタを直線領域(トランジスタM1, M2に印加するゲート電圧は閾電圧近辺の電圧領域)で動作させている。そこで、フィードバック回路3によってトランジスタM1, M2のドレイン-ソース間電圧 V_{DS} を常に等しくすることにより、トランジスタを直線領域で動作させる際のドレイン-ソース間電圧 V_{DS} の影響を抑えつつ、トランジスタM1, M2の各ゲート端子に電流制御のためのゲート電圧を印加することにより高精度な電流制御を行うことができる。

【0008】

【発明が解決しようとする課題】しかしながら、このような従来の電流検出制御回路にあっては、後述する要因によって電流検出精度にバラツキが生じるという問題点があった。すなわち、従来技術においての検出精度は、流れる電流の大きさにもよるが最悪の場合には $\pm 10 \sim 15\%$ 程度もの検出バラツキをもっていた。この検出バラツキの要因としては、トランジスタ等の半導体素子そのものがもつ様々なパラメータ(例えば、閾電圧 V_{th} 等)の製造上のバラツキによる影響、ICチップ内部のレイアウトパターンによる影響、回路的手法による影響等が考えられる。

【0009】図8は、一般的なパワーMOS・FETのパターンレイアウトを示す図であり、図9は、図8におけるパワーMOS・FETの等価回路図である。通常、パワーMOS・FETには大きな電流が流れるため、そのレイアウトパターンは、図8に示すような大きな面積を必要とする。そして、図9に示すように、入出力端子であるパッド(ドレイン及びソース)から配線される信号線の間には複数のトランジスタセルMCが配置されて並列接続されることになるわけであるが、この場合、配置されるトランジスタセルMCは、必然的にパッドに近い位置に配置されるものとパッドから遠い位置に配置されるものとがでてくる。

【0010】すると、パッドから遠い位置に配置されたトランジスタセルMCは、その配線長に基づく配線抵抗 $R_w \times m$ によって電圧降下が生じるために、ソース電位は上昇し、ドレイン電位は低下するといった現象が起こりうる。この場合、ゲート-ソース間電圧 V_{GS} が閾電圧 V_{th} を下回ると、ターンオフしてしまうトランジスタセルがでてきてしまい、設計時に設定されたトランジスタのセル比に基づく正しい電流ミラーが行われなくなってしまうことになる。

【0011】さらに、トランジスタの閾電圧 V_{th} はその製造バラツキから同一面内あるいは製品間によって、あるバラツキ範囲をもつため、閾電圧 V_{th} 付近でゲート-ソース間電圧 V_{GS} を制御する場合、その閾電圧 V_{th} のバラツキの影響によりカレントミラー回路2の精度低下を招く原因となっている。高精度に電流を制御しようとする場合、電流制御回路による高い制御精度が要求されるのは当然であるが、制御対象に流れる電流値の検出精度

が低ければ、電流制御回路が高性能であっても高精度の電流制御は望めない。

【0012】本発明の課題は、上記問題点を解消し、製造上のバラツキやレイアウトパターンに影響されることなく、高精度の電流検出及び電流制御の可能な電流検出制御回路及びパターンレイアウト方法を提供することにある。

【0013】

【課題を解決するための手段】請求項1記載の電流検出制御回路は、負荷の両端位置に設けられたスイッチをそれぞれ閉状態として当該負荷に電流を流すとともに、該負荷に流れる電流値を検出して電流量を制御する電流検出制御回路であって、前記負荷の一方端側に設けられたスイッチを含み、予め設定された比率で前記負荷に流れる電流を他の電流路にミラーリングするミラー回路と、前記負荷が接続された電流路と前記他の電流路とに印加される電圧を一定に制御する電圧制御回路と、前記ミラー回路によりミラーリングされた前記他の電流路に流れる電流を検出し、検出された電流値と所定の目標値との差分信号を出力する電流検出信号出力回路と、前記電流検出信号出力回路による出力信号に基づいて前記負荷に流れる電流量を制御する電流制御回路と、を備えるように構成している。

【0014】そして、請求項2記載の電流検出回路は、負荷の両端位置に設けられたスイッチをそれぞれ閉状態として当該負荷に電流を流すとともに、該負荷に流れる電流値を検出して電流量を制御する電流検出制御回路であって、前記負荷の一方端側に設けられたスイッチを含み、予め設定された比率で前記負荷を含む第一電流路に流れる電流を第二電流路にミラーリングするミラー回路と、前記第一電流路と前記第二電流路とに印加される電圧を一定に制御する電圧制御回路と、前記ミラー回路によりミラーリングされた前記他の電流路に流れる電流を検出し、検出された電流値と所定の目標値との差分信号を出力する電流検出信号出力回路と、前記電流検出信号出力回路による出力信号に基づいて前記負荷に流れる電流量を制御する電流制御回路と、前記第二電流路に流れる電流を予め設定された複数の比率で、当該比率に対応する複数の電流路にそれぞれミラーリングする多段ミラー回路と、前記多段ミラー回路によりミラーリングされた複数の電流路から任意の電流路を選択する選択回路と、を備えるように構成している。

【0015】また、請求項3記載の電流検出回路は、負荷の高電位電源線側に設けられたトランジスタと、負荷の低電位電源線側に設けられたトランジスタとをそれぞれ導通状態とすることにより、当該負荷に電流を流すとともに、該負荷に流れる電流値を検出して電流量を制御する電流検出制御回路であって、前記負荷の一方端側に該負荷と共通の第一電流路に接続されるトランジスタと、当該トランジスタと対になって第二電流路に接続さ

れるトランジスタとのゲート（あるいはベース）を共通接続してなるトランジスタ対を含み、各トランジスタのサイズ比に基づいて前記第一電流路に流れる電流を前記第二電流路にミラーリングするミラー回路と、前記第一電流路と前記第二電流路とに印加される電圧を比較し、これらの電流路の差電圧をなくすべく制御する電圧制御回路と、前記ミラー回路によりミラーリングされた前記第二電流路に流れる電流を検出し、検出された電流値と所定の目標値との差分信号を出力する電流検出信号出力回路と、前記負荷の他方端側に該負荷と共通の第一電流路に接続されるトランジスタを含み、該トランジスタのゲート（あるいはベース）に前記電流検出信号出力回路からの出力信号を印加し、前記第一電流路に流れる電流量を制御する電流制御回路と、を備えるように構成している。

【0016】請求項4記載のパターンレイアウト方法では、半導体集積装置における複数のトランジスタのパターンレイアウト方法であって、2本の電源線間に複数のトランジスタを配設するとともに、各トランジスタの接続点間の配線抵抗が等しくなるように各トランジスタを並列に接続し、一方の電源線のいずれか一端をパッドに接続するとともに、他端を最終段トランジスタの端子に接続し、前記一方の電源線の一端に対応する他方の電源線の一端を初段トランジスタの端子に接続するとともに、他端をパッドに接続している。

【0017】また、請求項5記載のパターンレイアウト方法では、半導体集積装置における複数のトランジスタのパターンレイアウト方法であって、2つのパッド間に複数のトランジスタを配設するとともに、各パッドから各トランジスタの端子に対して配線抵抗の等しい複数の電源線を配線し、当該パッドに対して前記複数のトランジスタを並列接続している。

【0018】そして、請求項6記載の電流検出制御回路は、前記請求項3記載の電流検出制御回路に対して前記請求項4または請求項5記載のパターンレイアウト方法により実現されるトランジスタを用いるように構成している。

【0019】

【発明の実施の形態】以下、本願発明の一実施形態を図面に基づいて説明する。図1は、本発明の電流検出制御回路の一例を示す回路図であり、図7に示す従来例と同様に、インテリジェントタイプのパワーMOS・ICに適用された負荷電流を無損失状態で検出する半導体集積装置の要部回路図を示す。なお、図1(a)は、図7(a)に対応する高電位電源線側に負荷を配置した例、図1(b)は、図7(b)に対応する低電位電源線側に負荷を配置した例を示しており、図1において、図7に示す従来例と同一要素部分には同一符号を付している。

【0020】図1において、本発明の電流検出制御回路1は、大別して、ミラー回路であるカレントミラー回路

2、電圧制御回路であるフィードバック回路3、電流検出信号出力回路及び電流制御回路の機能を有する電流調節回路4、センス抵抗 R_s から構成されており、各トランジスタ $M0 \sim M3$ は電子スイッチとして作用している。カレントミラー回路2は、ゲート端子を共通接続してなる2個のトランジスタ $M1, M2$ からなり、第一電流路 $L1$ に流れる負荷電流 I_{load} を、トランジスタ $M1$ とトランジスタ $M2$ との $n:1$ のサイズ比に基づいて I_{load}/n として第二電流路 $L2$ 側にミラーリングするものである。この場合の n は任意であり、例えば、 $n=500, n=1000$ といった値が用いられる。

【0021】フィードバック回路3は、オペアンプ $OP1$ 、トランジスタ $M3$ からなり、オペアンプ $OP1$ の出力信号に基づいてトランジスタ $M3$ を制御することによってトランジスタ $M1, M2$ のドレインソース間電圧 V_{DS} を一定化するものである。電流調節回路4は、正転入力端子にリファレンスとなる目標値を入力し、反転入力端子を第二電流路 $L2$ におけるトランジスタ $M2$ とトランジスタ $M3$ の接続点に接続するオペアンプ $OP2$ （電流検出信号出力回路）と、オペアンプ $OP2$ からの出力端をゲート端子に接続し、高電位電源線（あるいは、低電位電源線）と負荷との間に直列接続されたトランジスタ $M0$ （電流制御回路）とからなり、オペアンプ $OP2$ の出力信号に基づいてトランジスタ $M0$ を直線領域で制御することによって第一電流路 $L1$ に流れる電流量を制御するものである。

【0022】次に上述実施形態の作用について説明する。検出した電流に基づいて負荷電流を制御する方法としては、従来例（図7参照）に示すように、電流ドライバであるパワーMOS・FETのゲート電圧を変化させて、そのドレインソース間に流れる電流 I_{DS} を制御方法が一般的である。従来例では、電流を検出しているトランジスタ $M1, M2$ のゲート電圧を変化させることにより電流量を制御しているが、このときのトランジスタ $M1, M2$ のゲートソース間電圧 V_{GS} は、電流制御を行う動作上、直線領域におけるトランジスタの閾電圧 V_{th} 付近で動作させている。

【0023】そして、カレントミラーを構成するトランジスタ $M1, M2$ に印加するゲート電圧が閾電圧 V_{th} 付近であることが、カレントミラー回路2の精度に影響していると考えた発明者らは、カレントミラーを構成するトランジスタ $M1, M2$ のゲート端子には、閾電圧 V_{th} よりも十分に高いゲート電圧を供給することで、製造過程によって生じる閾電圧 V_{th} のバラツキによる影響を受けにくくし、また、レイアウトパターンに依存するソース電位の上昇及びドレイン電位の低下によるゲートソース間電圧 V_{GS} の低下の影響を少なくしている。

【0024】具体的には、従来、カレントミラー回路2内で行っていた電流制御の役目を、独立したトランジスタ $M0$ を駆動することによって行うことにより、電流検

出側では、オン・オフ動作のみの制御を行い、オン状態のときには閾電圧 V_{th} に対して充分高いゲート電圧（例えば、トランジスタの閾電圧 V_{th} を約1.5Vとした場合、電流検出側のパワーMOS・FETのゲートソース間電圧 V_{GS} は約1.5V程度に設定）を印加することによって電流検出を行うようにしている。この場合、図1(a), (b)に示すように、電流検出側トランジスタ $M1$ と電流制御側トランジスタ $M0$ とのどちらが高電位電源線側でどちらが低電位電源線側であっても同様の効果を得ることができる。

【0025】以上説明したように、本実施形態では、トランジスタの製造上発生する閾電圧 V_{th} のバラツキに影響されことなく、負荷に流れる電流量を高い精度で検出することができる。

【0026】図2は、本発明の電流検出制御回路の他の例を示す回路図である。なお、図2(a)は、高電位電源線側に負荷を配置した例、図2(b)は、低電位電源線側に負荷を配置した例を示しており、図2において、図1に示す実施形態と同一要素部分には同一符号を付している。本実施形態における電流検出制御回路1では、前述した実施形態（図1参照）に対して、第二電流路 $L2$ に流れる電流をさらに複数の電流路 $L3, \dots$ にミラーリングする多段カレントミラー回路（多段ミラー回路）5と、多段カレントミラー回路5によりミラーリングされた複数の電流路 $L3, \dots$ の中から任意の電流路 $L3, \dots$ を選択する選択回路6を追加して設けたものである。

【0027】多段カレントミラー回路5は、図1におけるセンス抵抗 R_s が配置されていた位置にPチャネルMOSトランジスタ $M4$ を配し、ゲート端子を共通接続してなる3個のトランジスタ $M4, M5, M6$ から構成されている。すなわち、第二電流路 $L2$ にトランジスタ $M4$ が配置されるとともに、第三電流路 $L3$ にトランジスタ $M5$ が配置されている。そして、第二電流路 $L2$ に流れる電流 I_{load}/n を、トランジスタ $M4$ とトランジスタ $M5$ との $m:1$ のサイズ比に基づいて $I_{load}/(n \times m)$ として第三電流路 $L3$ 側にミラーリングするものである。選択回路6は、トランスファゲート $TG1$ 、インバータ $I1$ からなり、ゲインコントロール信号に基づいてトランスファゲート $TG1$ のオン・オフ制御を行うものである。前述の実施形態では、トランジスタ $M1, M2$ に設定された $n:1$ のサイズ比によって第二電流路 $L2$ に流れる電流量を設定しているが、実際の用途では、電流制御時のフィードバックゲインを変更して用いる場合があり、このようなとき、前述の実施形態では、トランジスタ $M1, M2$ のサイズ比の変更が必要となる。

【0028】本実施形態では、ゲートコントロール信号によってトランスファゲート $TG1$ のオン・オフ制御を行うことによって、トランスファゲート $TG1$ をオフさせるように制御を行うと、トランジスタ $M5$ だけが有効となるため、トランジスタ $M4, M5$ のサイズ比に基づ

いて第三電流路L3に電流 $I_{load}/(n \times m)$ が流れ、一方、トランスファゲートTG1をオンさせるように制御を行うと、トランジスタM5及びM6が共に有効となるため、例えば、トランジスタM5及びM6の総セルサイズがトランジスタM5だけのセルサイズの3倍であったとすると、 $M6/M5:M4=1:(m/3)$ のミラー比で電流がミラーリングされる。すなわち、負荷に流れる電流 I_{load} が同一であったとしても、トランスファゲートTG1がオンの場合にはオフの場合と比較して、センス抵抗Rsに流れる電流が3倍になるため、センス抵抗Rs端に現れる電圧は大きくなり、目標値と比較しているオペアンプOP2は、その出力電圧を絞って $I_{load}/3$ としてセンス抵抗Rs端に現れる電圧と目標値とが等しくなるように動作する。

【0029】したがって、この例では、トランスファゲートTG1のオン/オフ動作によって負荷電流に対するゲインを $1/3$ にすることができるので、本実施形態では、前述の実施形態と同様の作用に追加して、電流制御時のフィードバックゲインをある程度任意に変更することができる。なお、上記実施形態では、多段カレントミラー回路5は、第二電流路L2に流れる電流を第三電流路L3にミラーリングを行っているが、このミラーリング段数をさらに増やすとともに、その選択回路6を追加することによって、さらに複数のフィードバックゲインから所望のフィードバックゲインを選択するようにしても構わない。以上において、この発明は、ハードディスク用三相スピンドルモータ、ボイスコイルモータ、あるいはHブリッジ回路中に組み込まれた正逆転モータなどを制御する場合に適用することができる。Hブリッジ回路を用いる場合には、電流検出、制御系が2系統用いられ、三相モータを制御する場合には、図1の回路が三相分用いられる。

【0030】図3は、本発明のレイアウトパターン例を示す図であり、図4は、図3の等価回路図である。図3及び図4に示すレイアウトパターンでは、2本の電源線LH、LL間に複数のトランジスタセルMCを配設するとともに、各トランジスタセルMCの接続点間における各配線抵抗Rwがそれぞれ等しくなるように各トランジスタセルMCを並列に接続し、電源線LHの一端(図4中、左端側)をパッド(ドレインパッド)に接続するとともに、他端(図4中、右端側)を最終段トランジスタセルのドレイン端子に接続し、電源線LLの一端(図4中、左端側)を初段トランジスタセルのソース端子に接続するとともに、他端(図4中、右端側)をパッド(ソースパッド)に接続している。

【0031】すなわち、図8及び図9に示す従来例では、パッドから遠い位置に配置されたトランジスタセルMCは、その配線長に基づく配線抵抗 $Rw \times m$ によって電圧降下が生じるために、ソース電位は上昇し、ドレイン電位は低下するといった現象が起こっていたが、本実

施形態では、ゲートパッドを反対側に形成することにより、ドレインパッド側からみると、パッドから遠い位置に配置されたトランジスタセルMCは、ドレイン電位の低下と共にソース電位も低下しているようになっているため、ドレイン-ソース間電圧VDSは一定値に維持することができる。これによって、トランジスタのパターンレイアウトだけで、ドレイン-ソース間電圧VDSが改善され、特に、図1及び図2のようにトランジスタを直線領域で動作させるような場合には電流検出精度を高める効果を奏する。

【0032】図5は、本発明の他のレイアウトパターン例を示す図であり、図6は、図5の等価回路図である。図5及び図6に示すレイアウトパターンでは、2つのパッド間に複数のトランジスタセルMCを配設するとともに、各パッドから各トランジスタセルMCの端子に対して配線抵抗Rwの等しい複数組の電源線を配線し、当該パッドに対して前記複数個のトランジスタセルMCを並列接続している。

【0033】すなわち、前述の図3及び図4に示す例において、ドレイン-ソース間電圧VDSは一定値に維持することができるが、パッドから遠い位置に配置されたトランジスタセルMCは、その配線長に基づく配線抵抗 $Rw \times m$ によって電圧降下が生じることは避けることができない。そこで、本例では、各トランジスタセルMCの配線抵抗Rwをすべて同じ値に設定しておくという条件の元で、すべてのトランジスタセルMCをパッドに対してそれぞれ並列に接続して電位の低下を原理的になくすものである。

【0034】実際のパターンレイアウトでは、複数のトランジスタセルMCをすべてに配線を施すことは不可能であるため、図5に示すように、トランジスタセルMCの配置領域を複数(この場合、4)の領域に分割し、各領域に対する配線抵抗Rwが等しくなるように配線幅を変えた信号線によって接続する。これによって、ドレイン電圧及びソース電位の低下、つまり、配線抵抗Rwによるゲート-ソース間電圧VGSの低下を抑えることができ、トランジスタを閾電圧Vth付近で動作させる場合にも、ゲート-ソース間電圧VGSが閾電圧Vthを下回ってターンオフしてしまうトランジスタセルMCの発生を抑えることができる。そして、特に、図1及び図2のようにカレントミラー回路に適用した場合、設計時に設定されたトランジスタのセル比に基づく正しい電流ミラーを行うことができ、従来よりも高精度な電流検出ができる。

【0035】

【発明の効果】本発明では、半導体素子の製造上のバラツキやレイアウトパターンに影響されることなく、高精度の電流検出及び電流制御を行うことができる。

【図面の簡単な説明】

【図1】本発明の電流検出制御回路の一例を示す回路

図。

【図2】本発明の電流検出制御回路の他の例を示す回路図。

【図3】本発明のパターンレイアウトの一例を示す図。

【図4】図3の等価回路図。

【図5】本発明のパターンレイアウトの他の例を示す図。

【図6】図5の等価回路図。

【図7】従来例の電流検出制御回路の一例を示す回路図。

【図8】従来のパターンレイアウトの一例を示す図。

【図9】図8の等価回路図。

【符号の説明】

1 電流検出制御回路

2 カレントミラー回路（電流検出用ミラー回路）

3 フィードバック回路（電圧制御回路）

4 電流調節回路

5 多段カレントミラー回路（多段ミラー回路）

6 選択回路

M1, M2 NチャネルMOS・FET

M3 MOS・FET

M4 PチャネルMOS・FET

M5, M6 MOS・FET

M0 NチャネルMOS・FET（電流制御回路）

Rs センス抵抗

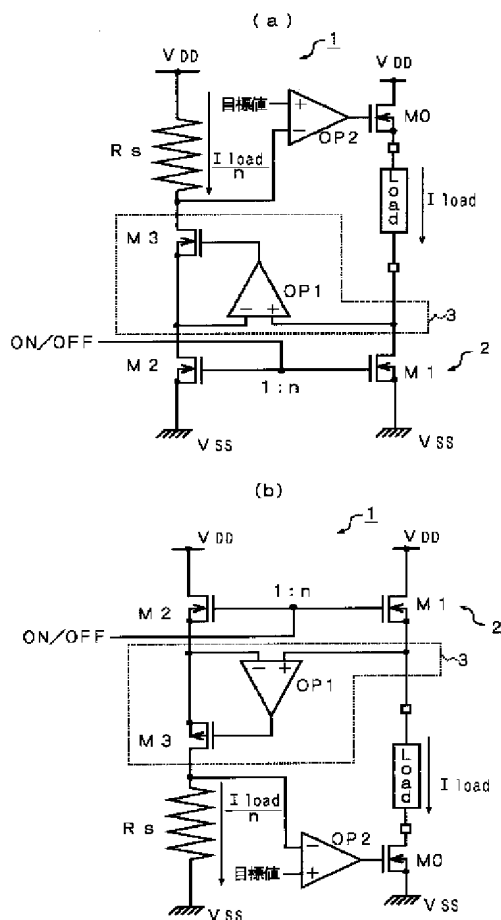
OP1 オペアンプ

OP2 オペアンプ（電流検出信号出力回路）

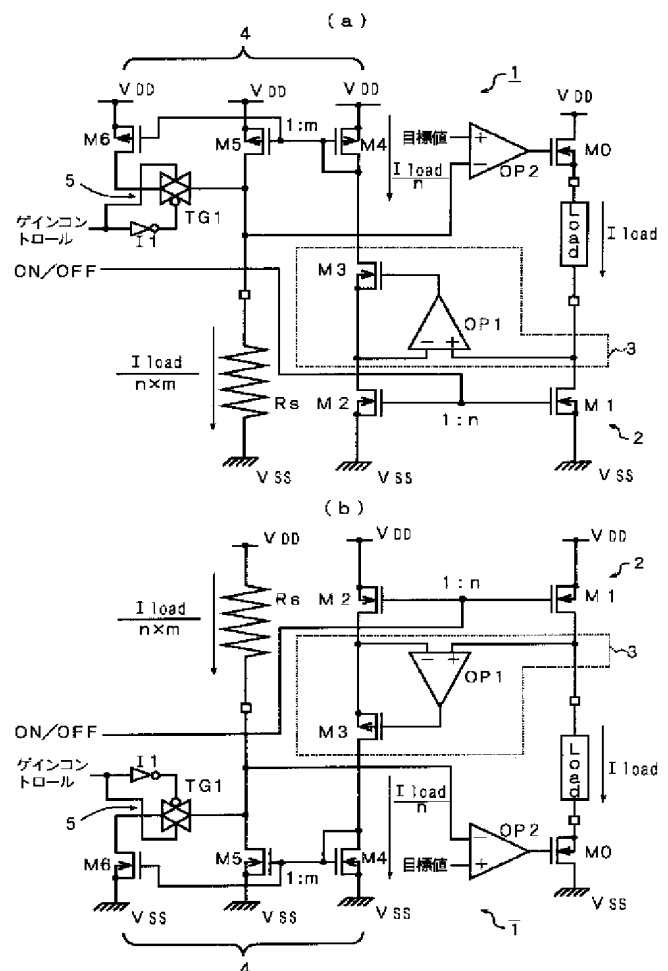
TG1 トランスファゲート

I1 インバータ

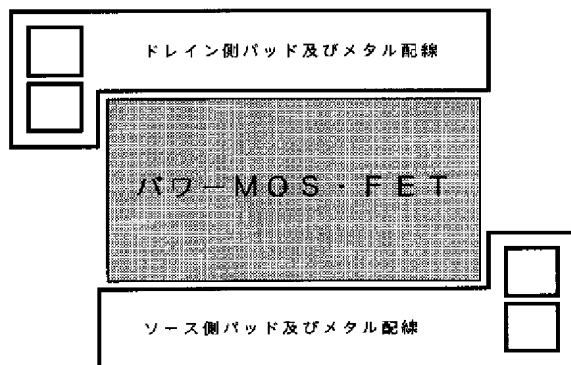
【図1】



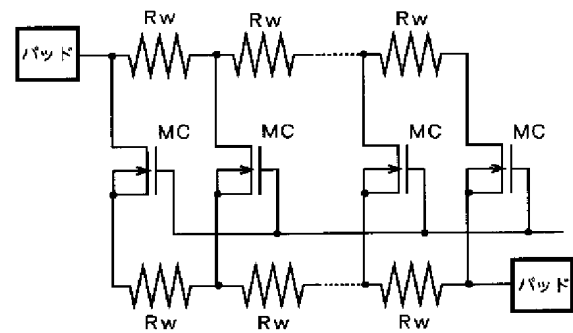
【図2】



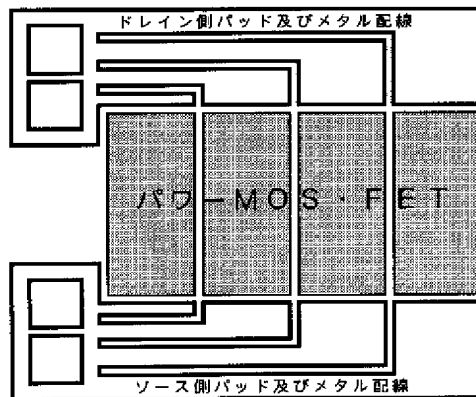
【図3】



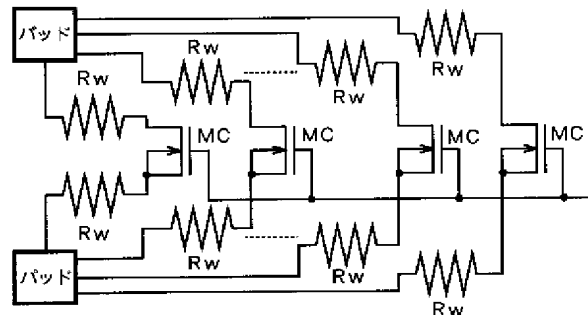
【図4】



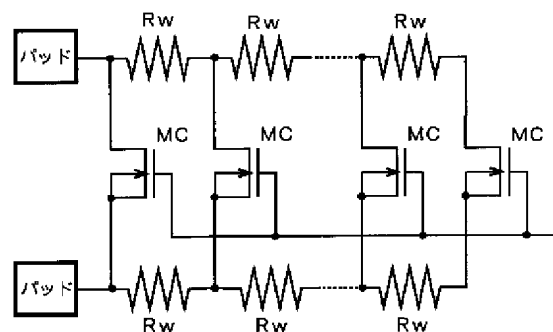
【図5】



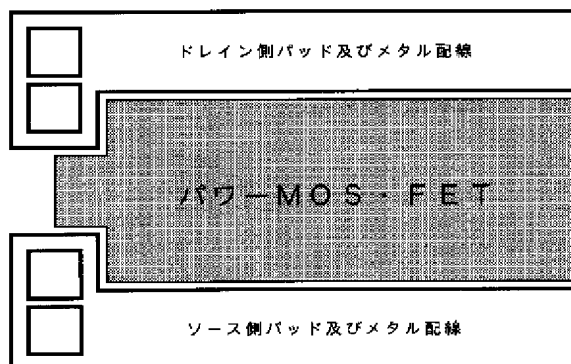
【図6】



【図9】



【図8】



【図7】

